

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(13) 日本国特許庁 (JP)

○○公開特許公報 (A)

(11) 特開公報登記番号

特開平7-312405

(12) 公開日 平成7年(1995)11月26日

(3) 登録料	識別記号	登録登場番号	F I	技術表示住所
H01L 23/50	S			
21/00	211	0 6913-01		
21/211				
21/211	A 3613-01			
	I 3613-01			

審査請求 本願請求項の範囲 OL (全5頁) 基本篇に限く

(11) 出願番号 特願平6-102369	(11) 出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(12) 出願日 平成6年(1994)5月17日	(12) 出願人 000233169 株式会社日立マイコンシステム 東京都小平市上木本町5丁目22番1号
	(12) 発明者 金本 光一 東京都小平市上木本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(12) 発明者 佐田 隆文 東京都小平市上木本町5丁目22番1号 株式会社日立マイコンシステム内
	(14) 代理人 井藤士 佐田 隆文

基盤篇に限く

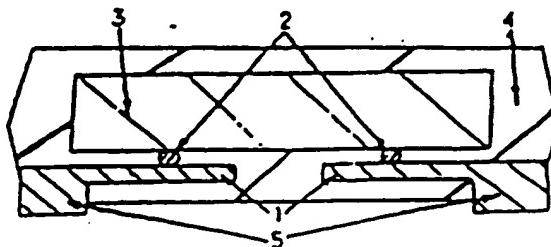
(5) [発明の名称] 半導体装置

(51) [要約]

[目的] 半導体装置の基板表面における実装密度を向上すること。

[構成] 半導体チップとそれに電気的に接続された内部リードを接着で封止した半導体装置であって、前記半導体装置の封止部周縁の底面もしくは、上面上から内部リードの一端を突出させる。

図1



〔付〕証の記述

〔図2〕 キズはチップとそれに寄附的に内蔵された内蔵リードを駆動で停止したキズは位置であつて、内蔵リードの停止位置の底面もしくは、上面から内蔵リードの一端を突出させることを目的とするキズは位置。

〔図3〕 内蔵リードのチップと内蔵リードとはパンプモカシで駆動で停止して止ることを目的とするキズは位置。

〔図4〕 キズはチップとそれに寄附的に内蔵された内蔵リードを駆動で停止して止るキズは位置であつて、内蔵リードの一端がレジンにより埋め込まれ、その奥に内蔵リードの底面が内蔵リードとの寄附的位置をなし、それより内蔵リードの底面がレジンから露出し、その露出した部分が内蔵リードをかじて止ることを目的とするキズは位置。

〔発明の詳細な説明〕

〔0001〕

〔発明上の利用分野〕 本発明は、半導体装置に適用して、可変な技術に応ずるものである。

〔0002〕

〔技術の概要〕 本発明の半導体装置には、一端に内蔵リードと半導体チップをワイヤで接続したものとパンプで構成するものがあり、それら内蔵リードはともに半導体装置の封止部内部の修正から突出した状態をもつ。

〔0003〕

〔発明が解決しようとする課題〕 本発明では、上記技術を改修した結果、以下の問題点を見いだした。

〔0004〕 各ビの半導体装置を構成したシステム組合のグランツィジングにおいて、半導体装置を構成する各部のサイズをモニタする必要が出てきた。このため、半導体装置のサイズをモニタする事で各部の高さを測定を上げて基準サイズを算出してきた。

〔0005〕 この半導体装置の場合は、主に半導体チップの縮小によりなされたものであり、内蔵リードはその縮小の対象となっていた。

〔0006〕 このため、基準上の半導体装置の内蔵リードがどの程度にわたる縮小が常に力を付けていないのが現状である。

〔0007〕 したがって、本発明の半導体装置における内蔵リードは、一端に半導体装置の封止部内部の底面から突出した状態を行っていることから、その封止部内部の底面から突出した内蔵リードの分だけ半導体装置を水分にとり、基準尺寸における水没が無いという状況がもつた。

〔0008〕 本発明の目的は、半導体装置の基準尺寸における水没を向上することが可能となることである。

〔0009〕 本発明の記述ならびにその他の記述と並び、

内蔵リードを駆動で停止したキズは位置であつて、内蔵リードの停止位置の底面もしくは、上面から内蔵リードの一端を突出させることを目的とするキズは位置。

〔0010〕

〔図4を除くための手筋〕 本発明において内蔵リードのうち、内蔵リードの停止位置の底面もしくは、上面から内蔵リードの一端を突出させることを目的とするキズは位置。

〔0011〕 キズはチップとそれに寄附的に内蔵された内蔵リードを駆動で停止したキズは位置であつて、内蔵リードの停止位置の底面もしくは、上面から内蔵リードの一端を突出させる。

〔0012〕

〔参考〕 上記した手筋によれば、キズはチップとそれに寄附的に内蔵された内蔵リードを駆動で停止したキズは位置であつて、内蔵リードの停止位置の底面もしくは、上面から内蔵リードの一端を突出させることにより、半導体装置の封止部内部の占める面積内に内蔵リードが存在し、内蔵リードの突出によって水分に含まれていた水を排出を妨げるので、半導体装置の基準尺寸における水没を向上することが可能となる。

〔0013〕 以下、本発明の構成について、実施例とともに説明する。

〔0014〕 なお、実施例を改修するための手筋において、同一機器ERTAのものは同一符号を用ひ、その通り互換の改修は示す。

〔0015〕

〔実施例〕 図1は、本発明の一実施例である半導体装置の構造を説明するためのものである。

〔0016〕 図1に示した本実施例の半導体装置は基板を基盤であり、図2に左方側の電極部からみた剖面図、図3に右方側からみた剖面図、図4に底面からみた剖面図をそれぞれ示す。

〔0017〕 図1～図4において、1は内蔵リード部分、2はパンプ、3はチップ、4は封止部、5は内蔵リード部分をそれぞれ示す。

〔0018〕 本実施例の半導体装置は、図1に示すように、リードに凹部が付けられており、内蔵リードとして構成する内蔵リード部分1と内蔵リードとして構成する内蔵リード部分5Sとからなる。

〔0019〕 このリードの底面は、リードの内蔵リード部分1をハーフエッヂしたり、リードを底面にさせりもりをさせていたりすることによって形成される。

〔0020〕 封止部4内においては、内蔵リード部分1上に付けられた、内蔵リード部分5Sより最もパンプ2が付けられ、そのパンプ2を介して半導体チップ3と実的にお供されている。なお、このときの内蔵リード部分1と半導体チップ3を実際に接続する部として、半導体チップ3側にあらかじめ付けたパンプ2であつてしまい、また、ワイヤ等を用いてよい。

〔0021〕 そして、図2～図4に示した封止部4から露出する内蔵リード部分5Sは、基板3に接続する

それも、

(0022) これにより、女房、内蔵封止部の内蔵部から突出していたカギリードの部分だけ、又はスペースを切り取るなり、他の半球等の形状に取り替りたりすることが可能となる。

(0023) 亦に、図5を用いて、本実施例の半球部底のリードフレームについて説明する。

(0024) 図5において、3Aは大きめの半球部チップ、3Bは小さめの半球部チップ、2Aは大きめの半球部チップと内蔵リード部分を形成するパンプ、2Bは大きめの半球部チップと内蔵リード部分を形成するパンプをそれぞれ示す。

(0025) 図5に示すように、本実施例の半球部底のリードフレームの形状は、フレームの中心付近から内蔵リードが斜角上に延びている。

(0026) これにより、比較して示した異なるサイズの半球部チップである大きめの半球部チップ3Aを保持する場合でし、小さめの半球部チップ3Bを保持する場合でも、各半球部チップ3A、3Bのパンプ位置における内蔵リードと半球部チップとの二重的な接合はワイヤ接続では得られない実用性度である。

(0027) したがち、本実施例のリードフレーム一つで多個の半球部チップを適用できる。

(0028) 亦に、本実施例の他の実施例を図6と図7に示す。

(0029) 図6に示す半球部底の例は、底板の図1に示した半球部底の内蔵リード部分とカギリード部分の位置をなくしたものであり、内蔵リードとカギリードを実用化したリードを有する。したがち、本実施例によれば、リードの底面のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端部(上部)が半球部チップとの電気的接続度をなし、一方、リードの底面のはば1/3がレジンから露出、その露出した部位は底板基部への接続部子、つまりカギリードとなる。

(0030) これにより、半球部における基部とカギリードの接続部分の形状を筒状でひととじに、開脚化パッケージが実現される。リードフレームに位置をつりなくともよくなる。

(0031) 図7に示す半球部底の例は、前述の図1に示した半球部底の半球部チップ上に内蔵用フィン6を有し、半球部チップからRセラード部を遮りしてやるものである。

(0032) なお、本実施例は多方形型の半球部底をそれぞれ取り上げたが正方多面の半球部底についても

可能である。

(0033) また、本実施例のCOL(Chip On Lead)構造の半球部底は、底板からカギリードを突出させた所を取り上げたが、LOC(Lead On Chip)構造の半球部底においては、上部からカギリードを突出させる。

(0034) したがって、半球部チップとそれに对应的に底板との内蔵リードを底板で封止した半球部底であって、底板半球部底の封止部即ちの底面もしくは、

上部から内蔵リードの一端を突出させることにより、半球部底の封止部底面の約もの底面内に内蔵リードがあり、底板の外蔵リードの突出によって余分とされていた底板部底を縮小できるので、半球部底の底板表面における実用性度を向上することが可能となる。

(0035) 以上、本実施例によってなされた発明を、前記実施例によるべき実用的に実用したが、本発明は、前記実施例に限定されものではなく、その要旨を達成しない配置においても、文更可としてあることは明ニである。

(0036)

(発明の効果) 本件において表示される発明のうち代表的なものによって明らかに底板を底板に接続すれば、下記のとおりである。

(0037) 半球部チップとそれに对应的に設置された内蔵リードを底板で封止した半球部底板であって、前記半球部底板の封止部底面の底面もしくは、上部から内蔵リードの一端を突出させることにより、半球部底板の封止部底面の約もの底板内に内蔵リードがあり、底板の外蔵リードの突出によって余分とされていた底板部底を縮小できるので、半球部底板の底板表面における実用性度を向上することが可能となる。

(底板の底板な接続)

(図1) 本発明の一般実施例である半球部底板の構造を説明するための図である。

(図2) 本実施例の半球部底板の断面図である。

(図3) 本実施例の半球部底板の断面図である。

(図4) 本実施例の半球部底板の底板からみた半球部底である。

(図5) 本実施例の半球部底板におけるリードフレームの構造を説明するための図である。

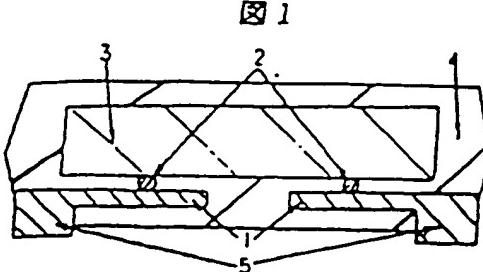
(図6) 本実施例の他の実施例である半球部底板の構造を説明するための図である。

(図7) 本実施例の他の実施例である半球部底板の構造を説明するための図である。

(凡例の説明)

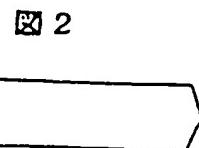
1…内蔵リード部分、2…パンプ、3…チップ、4…底板封止部、5…カギリード部分、6…内蔵用フィン。

(図1)



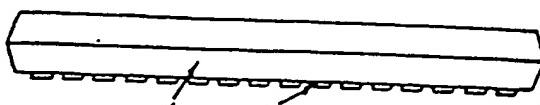
(図2)

図2



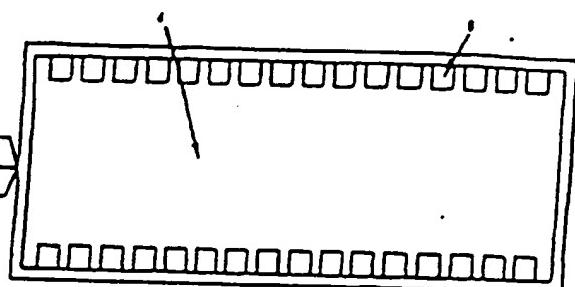
(図3)

図3



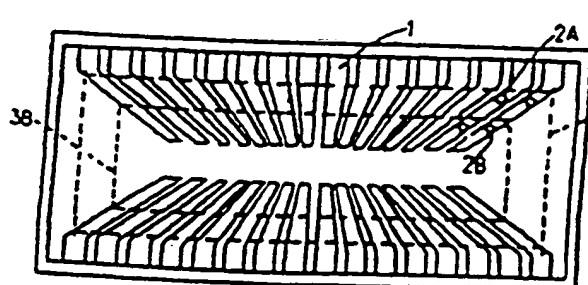
(図4)

図4



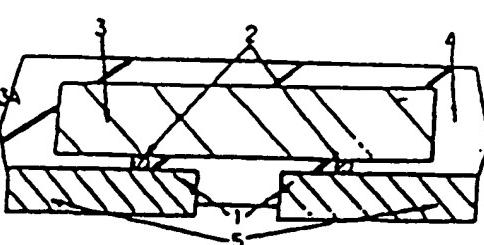
(図5)

図5



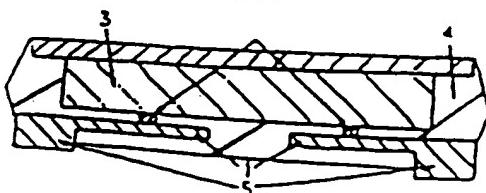
(図6)

図6



(図7)

図7



フロントページの記述

(S) 100.00

支拂証券 内部監査書

F1

2001.11.01

技術監査室

(T) 見明 実 真

東京都小平市上木本町5丁目20番1号

株式会社日立製作所半導体事業部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an
- 25

5 encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10 The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15 In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20 After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,
25 attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency 15 thereof on a circuit board is degraded.

An object of the invention is to provide a technique capable of improving the mounting efficiency of a 20 semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A representative of inventions disclosed in this application will now be summarized in brief.

In a semiconductor device in which a semiconductor 30 chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Now, the present invention will be described in detail in conjunction with embodiments thereof.

In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

[EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to
5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger
10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the
15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes,
that is, the larger semiconductor chip 3A and smaller
20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or
25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the
5 lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the
15 encapsulate.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface
5

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

(EFFECTS OF THE INVENTION)

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.